

# 基于多级放大结构的高速低功耗时间数字转换器设计

范传奇<sup>1</sup> 贾嵩<sup>2,†</sup> 王振宇<sup>1</sup> 严伟<sup>1</sup> 吴泽波<sup>1</sup>

1. 北京大学软件与微电子学院, 北京 100871; 2. 教育部微电子器件和电路重点实验室, 北京大学信息科学技术学院, 北京 100871; † 通信作者, E-mail: jias@pku.edu.cn

**摘要** 提出一种多级放大时间数字转换器新型结构。该结构由粗测和细测组成, 粗测部分利用延时链得到小于一个延时单元的关键余量, 并设计了面积小、功耗低的关键余量选择逻辑。细测部分, 利用两倍时间放大器和过半判断器从高位到低位依次产生4位二进制码。在SMIC 65 nm工艺下仿真, 新型结构的分辨率为1.44 ps, 量程为736 ps, 转换速度可达470 MS/s, 在100 MHz频率下, 平均功耗仅为1.3 mW。对两倍时间放大器设计了校准电路, 提高了抵抗PVT的能力, 得到良好的积分非线性。

**关键词** 时间数字转换器; 时间放大器; 高速; 低功耗

**中图分类号** TN453

## Design of a High Speed Low Power Time-to-Digital Converter Based on Multi-stage Amplification Structure

FAN Chuanqi<sup>1</sup>, JIA Song<sup>2,†</sup>, WANG Zhenyu<sup>1</sup>, YAN Wei<sup>1</sup>, WU Zebo<sup>1</sup>

1. School of Software and Microelectronics, Peking University, Beijing 100871; 2. Key Laboratory of Microelectronics Devices and Circuits (MOE), School of Electronics Engineering and Computer Science, Peking University, Beijing 100871; † Corresponding author, E-mail: jias@pku.edu.cn

**Abstract** The authors present a time-to-digital converter based on multi-stage amplification structure. This structure consists of coarse stage and fine stage. Coarse stage utilizes delay line to get the residue which is less than a buffer's delay. A small area and low power residue selecting logic is designed. In the fine stage,  $2\times$  time amplifier and half judger is utilized to generate 4 binary codes from MSB to LSB. Simulation in SMIC 65 nm process shows that the new structure has a high conversion speed up to 470 MS/s and power consumption is 1.3 mW at 100 MHz with the resolution of 1.44 ps and range of 736 ps. An accurate gain robust to PVT variation can be achieved with the calibration of the time amplifier, so a good integral nonlinearity is obtained.

**Key words** time-to-digital converter; time amplifier; high speed; low power

时间数字转换器(time-to-digital converter)是将两个信号的上升沿时间差用数字量化的电路, 广泛应用于全数字锁相环(ADPLL)、时间域 ADC 以及各种测量时间间隔的设备中。与模拟方法相比, 基于数字电路的时间数字转换器面积小, 功耗低, 稳定性强, 集成度高。随着 CMOS 工艺的不断发展, 越来越多的设计被数字模块取代。延时链 TDC 是目前主流的采用数字方法设计的 TDC, 由一串延时单元组成的延时链组成, 能够达到一个延时单元的

精度。为了实现更高的精度, 游标型(vernier) TDC、时间放大器(time amplifier) TDC、门控环形振荡器(gated ring oscillator) TDC 和脉冲衰减型(pulse-shrinking) TDC 等被提出<sup>[1]</sup>。游标型 TDC<sup>[2]</sup>(图 1)的 start 和 stop 两个上升沿分别经过  $\tau_1$  和  $\tau_2$  两种不同的延时单元, 分辨率为  $\tau_1 - \tau_2$ 。为了得到更大的量程, 就需要很多延时单元, 会带来转换速率低和功耗大的问题。时间放大器 TDC<sup>[3]</sup>(图 2)是一种两级的 TDC 结构, 粗测阶段经过一串延时单元, 粗测后的

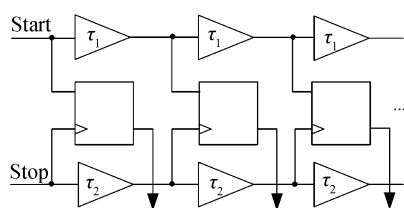


图 1 游标型 TDC<sup>[2]</sup>  
Fig. 1 Vernier TDC<sup>[2]</sup>

余量经过时间放大器放大后,再经过与粗测一样的延时链结构,得到细测结果。但是,时间放大器是利用锁存器亚稳态的原理设计,对大电容的充放电以及亚稳态的恢复过程都需要较长的时间,并且消耗较大的功耗。门控环形振荡器 TDC<sup>[4]</sup>(图 3)通过脉冲产生器把两个信号的上升沿之差转换为脉冲,脉冲控制门控环形振荡器振荡,计数器和编码器对振荡进行计数和编码,这种 TDC 只能得到一阶噪声整形,如果需要得到更高的分辨率,环振和计数器会消耗较大功耗。

本文利用两倍时间放大器和过半判断器,实现一个多级放大、逐级比较的 TDC。该 TDC 中的自校准时间放大器能够有效地抑制 PVT 波动对放大倍数的影响。过半判断器可以快速将余量化为二进制代码并从高位到低位逐位输出。在 SMIC 65 nm 工艺下仿真,实现了量程为 736 ps,分辨率为 1.44 ps,转换速率为 470 MS/s,在 100 MHz 频率下功耗为 1.3 mW 的 9 位 TDC。

## 1 多级放大 TDC 结构

### 1.1 延时链结构

基于时间放大器的两级结构 TDC 由粗测部分

和细测部分组成。粗测部分由一串延时链组成,分辨率为一个延时单元的延时,之后通过数据选择器,将关键余量(即剩下的小于一个延时单元延时的部分)选择出来进入细测部分。关键余量的生成如图 4 所示,stop 信号采样 start 信号得到粗测码,粗测码为温度计编码,通过判断 1-0 转换的位置,得到整数倍的延时单元延时  $n \times \tau$ ,剩下的余量则无法通过粗测继续量化,如式(1)所示:

$$\Delta t = n \times \tau + \varepsilon, \quad 0 \leq \varepsilon < \tau. \quad (1)$$

时间余量不能像电压一样被保存,在进入 mux 前,每一级的延时单元输出与 stop 产生的余量需要延时一段时间,等待比较器和关键余量选择信号的到来。虽然延时模块不是限制粗测速度的因素,但是由于数量过多,面积和功耗开销都比较大,如图 5 所示。为了解决这个问题,采用如图 6 所示的粗测模块<sup>[5]</sup>,利用粗测模块已有的 32 个延时单元组成的延时链,在 start 链和 stop 链后面增加  $k$  个延时单元,  $k$  为等待 mux 选择信号的到来需要加入的延时单元数。这样做相当于将图 4 中的 start 和 stop 信号集体向后延时  $k$  个延时单元。在余量选择模块选择 start $[n+k]$ 和 stop $[k]$ ,其中  $n = \left\lfloor \frac{\Delta t}{\tau} \right\rfloor$ 。为了使增加的延时单元与延时链的延时单元的延时相同,需要保证其驱动和负载与延时链的延时单元完全一样。在本文的设计中,  $k$  取 8 即可满足要求,减少的延时单元数目为  $32 \times 8 - 2 \times 8 = 240$ 。为了匹配负载,需要增加  $2 \times 8 = 16$  个 dummy 管。相对于图 5 的结构,这部分减少约 80% 的功耗。

延时链是粗测部分最重要的模块,延时链中一个延时单元的延时时间决定粗测的最小精度。由于有 32 级延时单元,所以它的延时对整个 TDC 的转

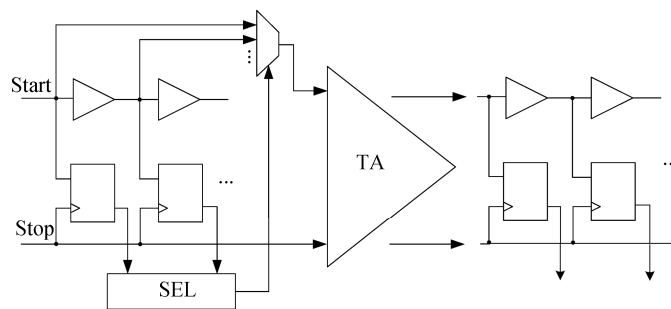


图 2 时间放大器 TDC<sup>[3]</sup>  
Fig. 2 TA-based two-step TDC<sup>[3]</sup>

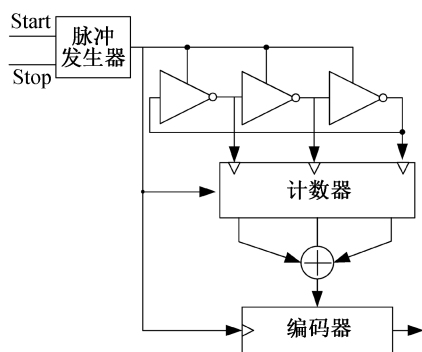


图3 门控环形振荡器 TDC<sup>[4]</sup>  
Fig. 3 Gated ring oscillator TDC<sup>[4]</sup>

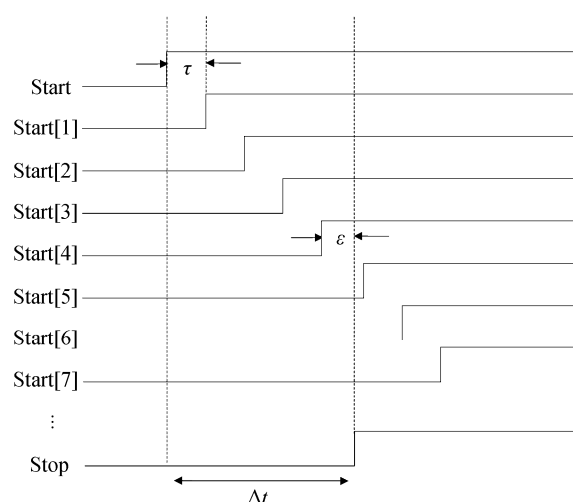


图4 关键余量生成  
Fig. 4 Time residue generation diagram

换速度影响很大。虽然反相器有更小的延时，但由于上升、下降时间不一致，并且比较器设计需要考虑上升沿、下降沿两种情况，这就增加了设计复杂度。因此本文采用两级反相器相连而成的延时单元作为最基本的延时单元。根据上升沿在两级反相器中传输特点，减小第一级反相器的上拉 PMOS 管的宽长比，增大下拉 NMOS 管的宽长比，同时增大第二级反相器上拉 PMOS 管的宽长比，并减小下拉 NMOS 管的宽长比。这样的设计可以增加驱动力并减小负载，可以把粗测精度调整到 23 ps。

## 1.2 比较器电路

如图4所示，粗测过程中 stop 信号需要与 start[i] 信号分别比较产生 0 或 1，其中 1 表示 stop 落后于 start[i]，0 表示 stop 已经超前于 start[i]，从而产生如 1, 1, 1, 1, 0, 0, 0, ... 这样的温度计码。有些触发器（如 TSPC 触发器），由于两个输入信号负载不同，会改变两个输入信号的延时差，进而在细测模块产

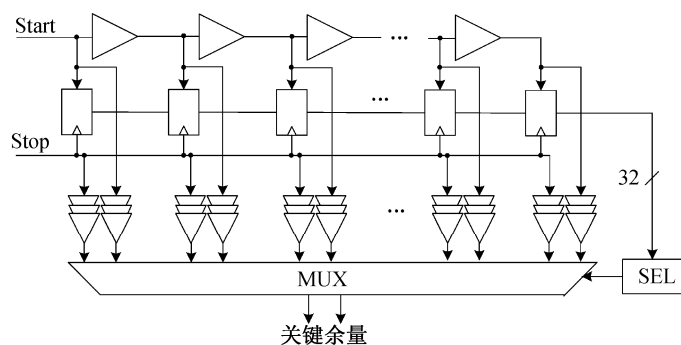


图5 具有 32 个延时模块的粗测部分  
Fig. 5 Coarse stage with 32 delays

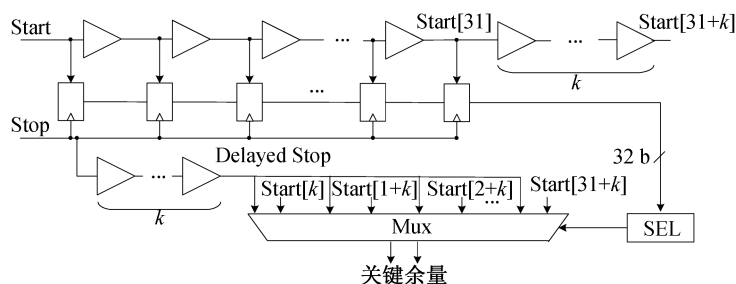


图6 利用本身延时链的粗测部分<sup>[5]</sup>  
Fig. 6 Coarse stage utilizing build-in delays<sup>[5]</sup>

生比较大的误差。为了减小这种非对称性带来的误差,采用如图 7 所示的比较器电路<sup>[3]</sup>。该电路的两个输入  $A$  和  $B$  驱动同样的 MOS 管,电路结构完全对称,是基于电压比较器的交叉耦合结构,当  $A$  上升沿先于  $B$  上升沿,OUT 输出高电平,反之则输出低电平。

### 1.3 多级放大结构

粗测后,经过数据选择器选出来的关键余量被送到细测模块,进行进一步量化。细测模块主要由过半判断器、两倍时间放大器和数据选择器组成,如图 8 所示。具体过程如下(其中  $t$  为粗测后的关键余量,  $\tau$  为一个延时单元的延时,  $r_1, r_2, r_3$  为每一级

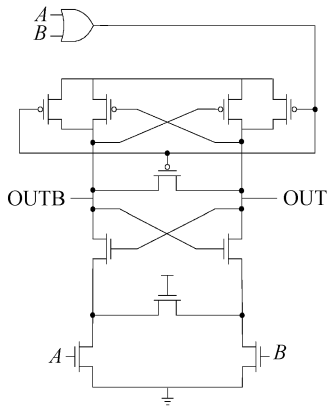


图 7 比较器电路<sup>[3]</sup>

Fig. 7 Comparator circuit<sup>[3]</sup>

操作后的余量)。

1) 如果  $t > \tau/2$ , 细测部分的最高位  $D[3]=1$ ; 否则,  $D[3]=0$ , 同时将  $t$  放大两倍, 得到  $2t$ 。

2) 将  $D[3]$  作为四选二数据选择器的选择端, 选择  $2t$  或者  $2t - \tau$ , 即若  $D[3]=0$ , 则  $r_1 = 2t$ , 否则,  $r_1 = 2t - \tau$ 。

3) 如果  $r_1 > \tau/2$ , 细测部分的次高位  $D[2]=1$ ; 否则,  $D[2]=0$ , 同时将  $r_1$  放大两倍, 得到  $2r_1$ 。

4) 将  $D[2]$  作为四选二数据选择器的选择端选择  $2r_1$  或者  $2r_1 - \tau$ , 即若  $D[2]=0$ , 则  $r_2 = 2r_1$ , 否则,  $r_2 = 2r_1 - \tau$ 。

5) 循环上述过程, 直到判断  $r_3 > \tau/2$ , 则  $D[0]=1$ , 否则,  $D[0]=0$ 。

用数学公式表示上述过程如下。

$$\text{第一级: } 2t - D[3]\tau = r_1. \quad (2)$$

$$\text{第二级: } 2r_1 - D[2]\tau = r_2. \quad (3)$$

$$\text{第三级: } 2r_2 - D[1]\tau = r_3. \quad (4)$$

$$\text{第四级: } 2r_3 - D[0]\tau = r_4. \quad (5)$$

分别将式(2), (3)和(4)代入式(3), (4)和(5), 整理得到式(6):

$$t = (2^3 D[3] + 2^2 D[2] + 2^1 D[1] + 2^0 D[0])\tau/2^4 + r_4/2^4, \quad (6)$$

其中  $0 \leq r_1, r_2, r_3, r_4 < \tau$ 。

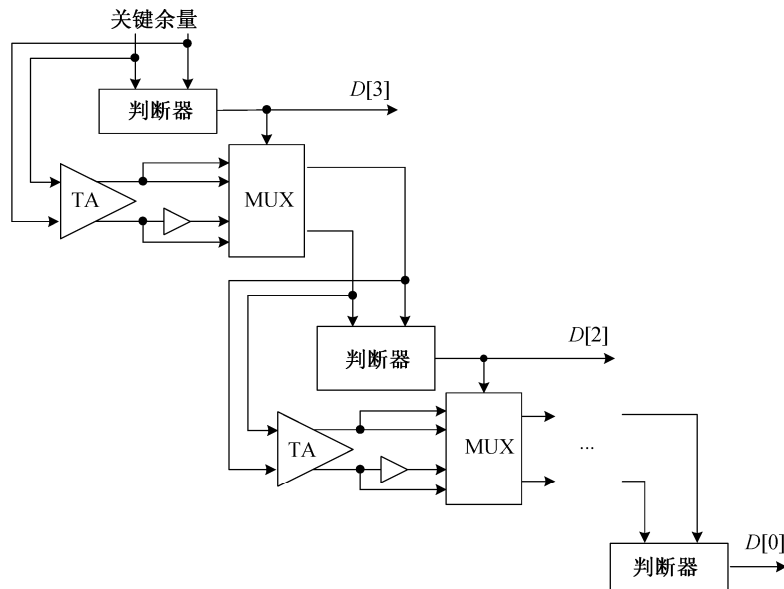


图 8 多级放大结构的细测模块

Fig. 8 Multi-stage amplification structure of fine TDC

从式(6)可以看出, 量化精度已经提高到  $\tau/2^4$ ,  $(D[3] \ D[2] \ D[1] \ D[0])_2$  为关键余量  $t$  相对于一个延时单元延时  $\tau$  的 4 位二进制数。这种细测电路直接将关键余量从最高位到最低位逐级量化为二进制编码。文献[3]的结构中, 是将关键余量通过时间放大器放大 16 倍, 放大后的余量再经过一串延时链, 得到温度计码, 之后再温度计码转为二进制码。与文献[3]对比, 本文提出的 TDC 整体结构简化, 转换速度更快, 功耗更低。

## 1.4 时间放大器

利用时间放大器可以同时得到大量程和高精度。Lee 等<sup>[3]</sup>设计的时间放大器利用 SR 锁存器的亚稳态原理, 通过调整  $T_{\text{off}}$  和电容的值, 可以放大 16 倍, 并在 80 ps 内具有良好的线性度。Kim 等<sup>[6]</sup>利用或门, 将一系列脉冲合并成一串脉冲, 实现 8 倍的放大。本文使用文献[7]中可以实现两倍放大的时间放大器, 其电路如图 9 所示。当 IN+ 和 IN- 都为低电平时,  $A$  和  $B$  充电到 VDD, 当两输入的上升沿到来时, TA 的输出 OUT+ 和 OUT- 由左右两条放电通路的放电时间决定。4 个 nMOS 管 M1、M2、

M3 和 M4 的栅极连接对立节点, 其放电速度相互影响, 先到来的上升沿会使另一个信号的放电通路变弱, 从而使其输出上升沿变慢。最下面的 pMOS 管控制  $C$  和  $D$  的放电速度, 使 M1 和 M3 不会完全放电, 从而扩展输入范围。

为了在大输入范围内保持两倍放大倍数, 加入如图 9 中虚线框所示的校准电路。校准电路和实际使用的 TA 完全一样, 校准开启模式下, TA 的两个输入延时相差  $\tau$ , 快的输出信号延时  $2\tau$  后, 与慢的信号在比较器中比较。比较器输出 0 或 1 来控制移位寄存器左移或右移, 移位寄存器的 8 位输出可调节范围为 8 个 pMOS 全导通(00000000)到 8 个 pMOS 全关闭(11111111)。M5 和 M6 为强导通通路, 虚线框中左右对称的各 8 个 pMOS 管通路为弱导通通路, Cal[7:0]连接虚线框中 16 个 pMOS 管的栅极, 控制其导通或关闭, 对并联的 pMOS 管的导电能力进行微调, 进而调整放大器的放大倍数。

在不同的PVT下,对没有开启校准的两倍时间放大器( $y=2x$ )进行仿真,延时差在工作范围 $\tau$ 内扫描,分别得到0℃、37℃、1.1 V、1.3 V、ss和ff工艺

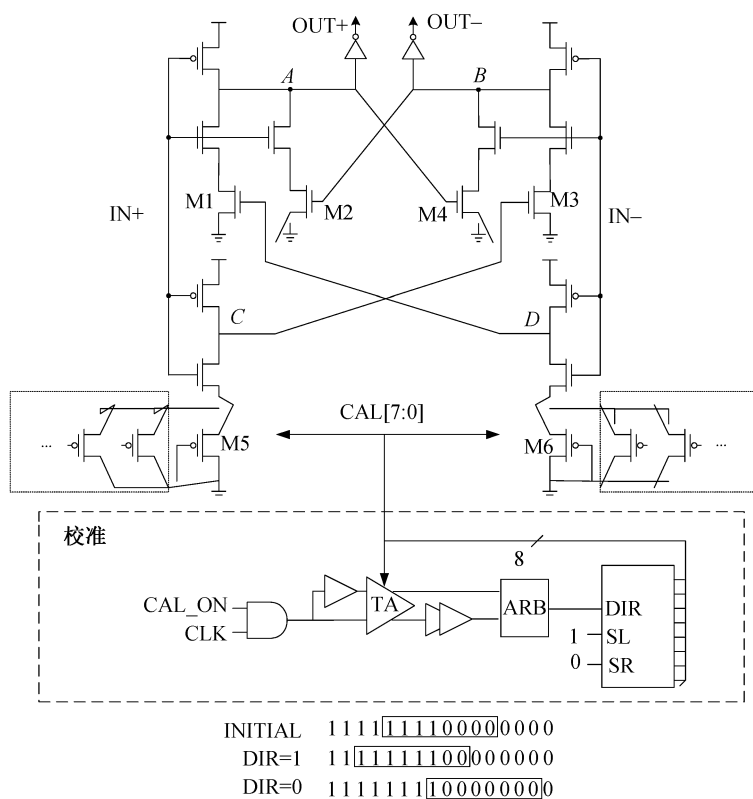


图 9 带校准的两倍时间放大器<sup>[7]</sup>  
Fig. 9 2X TA with calibration<sup>[7]</sup>

等条件下的曲线,如图 10 所示。开启放大器校准功能后,能对一定范围内的偏差进行校正,图 11 为在 37℃ 条件下的校准过程,与未开启校准(w/o cal)情况对比,可以看出,通过 3 次校准,将整体曲线向两倍放大曲线靠近,在工作范围内良好的线性度使得单点校准可以把整条曲线校准在 2.5% 的误差范围内。

## 1.5 过半判断器

过半判断器用来判断时间差是否大于  $\tau/2$ , 采用如图 12 所示的电路,类似于游标型 TDC。两个输入经过  $\tau_1$  和  $\tau_2$  两种不同延时的延时单元,通过调整两个延时单元的 MOS 管尺寸,可以使两个延时单元的延时差为  $\tau/2$ , 并通过后面仲裁器比较延时之后的差。仲裁器基于 SR 锁存器结构,如果 R 的

上升沿先于 S 的上升沿到来,那么 Q 输出高电平,反之,则输出低电平。电路结构完全对称,可以减小输入的时间偏差<sup>[8]</sup>。与图 7 所示的比较器电路相比,该结构速度更快。相对于两倍时间放大器,过半判断器速度比较慢,因此成为细测过程中的关键路径。所以,提高过半判断器的速度是提高 TDC 细测转换速度的关键。

## 2 仿真结果

在 SMIC 65 nm 工艺下进行仿真。在最大量程下,即关键余量位于延时链 start[31]和 start[32]之间时,转换时间仅为 2.1 ns。细测部分的波形如图 13 所示,关键余量为 14.2 ps,输出二进制为 (1010)<sub>2</sub>。从选择信号 Sel 选中关键余量开始,到细测

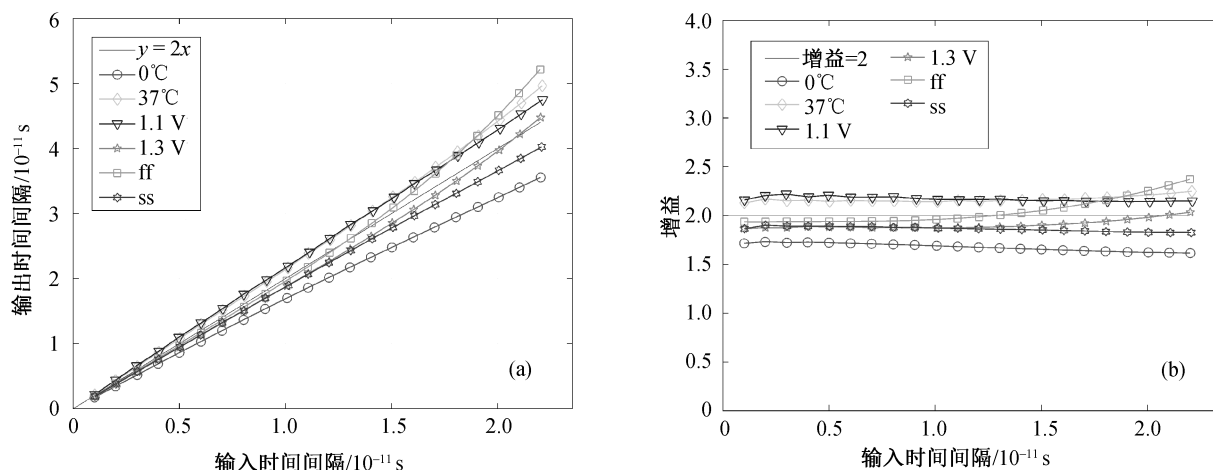


图 10 放大器在不同 PVT 下的曲线  
Fig. 10 Curve of TA under different PVT

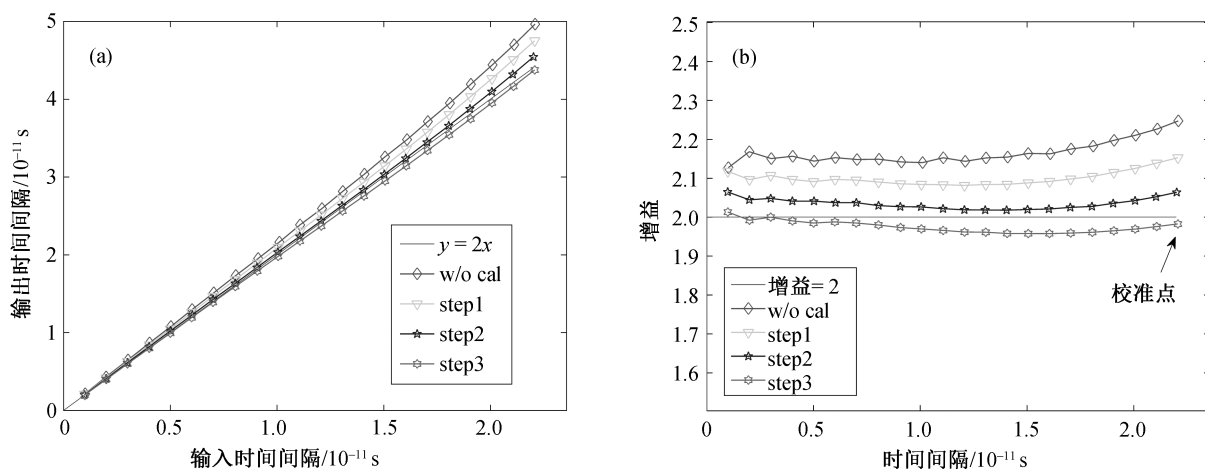


图 11 37℃ 环境下的时间放大器校准  
Fig. 11 TA calibration under 37℃

的二进制码最低有效位输出, 仅需要约 1.25 ns。量程取决于粗测的延时链长度, 本文中 TDC 有 32 级延时链, 所以量程在  $32 \times 23 = 736$  ps 以内。在 100

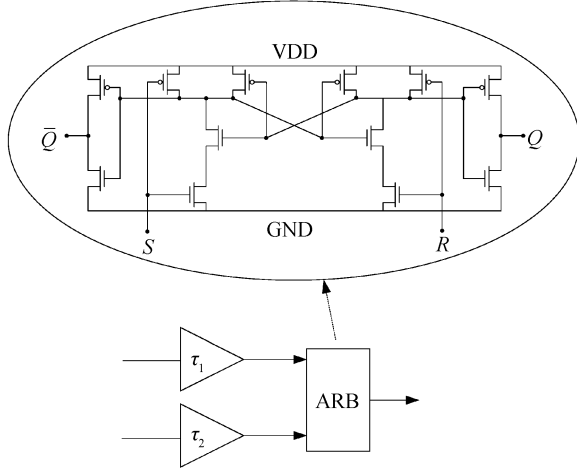


图 12 过半判断器  
Fig. 12 Half judger

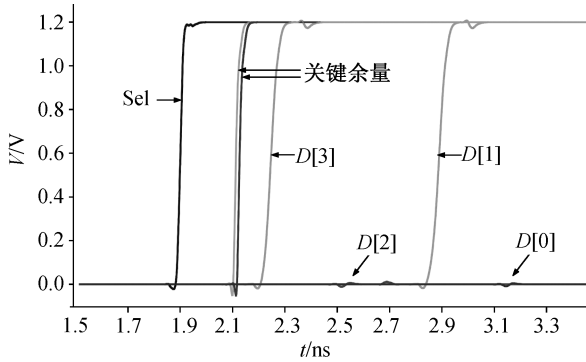


图 13 细测部分的波形  
Fig. 13 Waveform of fine TDC

MHz 的频率下, 平均功耗为 1.3 mW, 总电流如图 14 所示。在 100~200 ps 之间, 每隔 0.2 ps 进行扫描, 得到传输曲线如图 15 所示, 横坐标为 start 和 stop 上升沿时间差, 纵坐标为二进制码转换得到的时间值。积分非线性 INL 如图 16 所示, 差分非线性(DNL)和积分非线性(INL)分别为 0.9 LSB 和 1.4 LSB。表 1 列出与一些文献的对比结果。

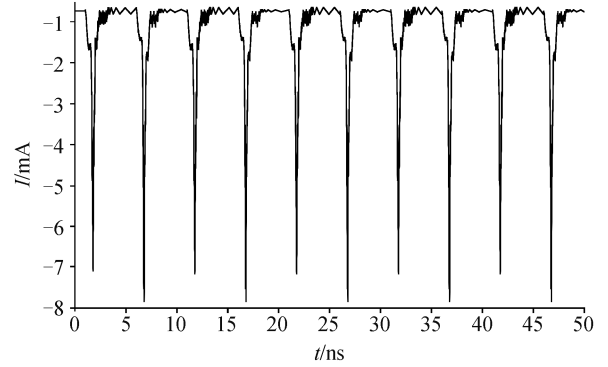


图 14 100 MHz 时的总电流  
Fig. 14 Total current at 100 MHz

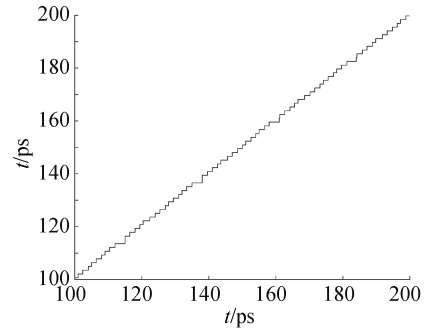


图 15 100~200 ps 之间的传输曲线  
Fig. 15 Transfer curve between 100 and 200 ps

表 1 性能比较

Table 1 Performance comparison

文献	分辨率/ps	测量范围/ps	转换速率/(MS · s <sup>-1</sup> )	线性度	功耗	工艺/nm
VLSI2007 <sup>[3]</sup>	1.25	640	66	0.8 LSB (DNL) 3 LSB (INL)	3 mW@10 MHz	90
NEWCAS2015 <sup>[5]</sup>	1.20	614	350	0.67 LSB (DNL)* 0.62 LSB (INL)*	0.6 mW@10 MHz 8.3 mW@150 MHz	65
JSSC2013 <sup>[9]</sup>	1.12	578	250	0.6 LSB (DNL) 1.7 LSB (INL)	15.4 mW@250 MHz	65
本文	1.44	736	470	0.9 LSB (DNL) 1.4 LSB (INL)	1.3 mW@100 MHz	65

注: \*为平均值。

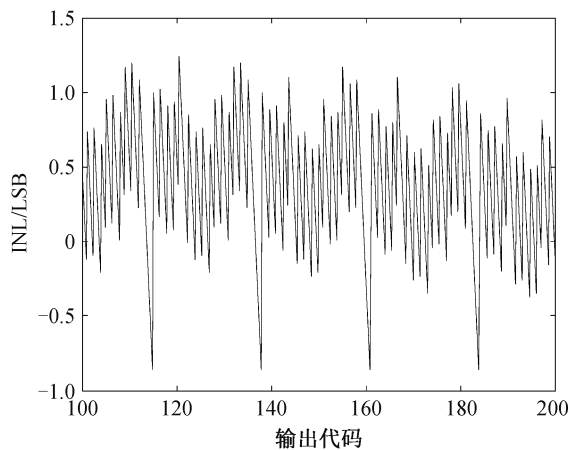


图 16 在 100~200 ps 之间的 INL  
Fig. 16 INL between 100 and 200 ps

### 3 结语

本文设计了一种基于两倍时间放大器进行多级放大,并逐级比较的时间数字转换器,在细测过程中能够直接输出二进制结果。与文献[3,5]先放大关键余量再经过延时链的结构相比,可以得到更快的转换速度。由于采用的时间放大器基于放电通路强度不同的原理,与文献[3]中的时间放大器相比,速度更快,功耗更低。同时,对误差主要来源的时间放大器进行校准,以抵抗 PVT 的影响。在粗测的关键余量选择过程中,利用原有的延时链,并在后面加上若干级延时单元,大大减少延时单元的数量,进一步减小功耗。最终,该 TDC 的分辨率为 1.44 ps,量程为 736 ps,转化速度达到 470 MS/s,在 100 MHz 频率下,平均功耗为 1.3 mW。

### 参考文献

[1] Henzler S. Time-to-digital converter basics // Time-to-Digital Converters. Berlin: Springer Netherlands,

2010: 5–18

- [2] Dudek P, Szczepanski S, Hatfield J V. A high-resolution CMOS time-to-digital converter utilizing a vernier delay line. *IEEE Journal of Solid-State Circuits*, 2000, 35(2): 240–247
- [3] Lee M, Abidi A A. A 9 b, 1.25 ps resolution coarse-fine time-to-digital converter in 90 nm CMOS that amplifies a time residue. *2007 IEEE Symposium on VLSI Circuits*, 2007, 43(4): 168–169
- [4] Straayer M Z, Perrott M H. An efficient high-resolution 11-bit noise-shaping multipath gated ring oscillator TDC // *2008 IEEE Symposium on VLSI Circuits*. Honolulu HI, 2008: 82–83
- [5] Hamza A, Ibrahim S, El-Nozahi M, et al. A low-power, 9-bit, 1.2 ps resolution two-step time-to-digital converter in 65 nm CMOS // *2015 IEEE 13th International New Circuits and Systems Conference*. Grenoble, 2015: DOI: 10.1109/NEWCAS.2015.7182045
- [6] Kim K, Kim Y, Yu W, et al. A 7 b, 3.75 ps resolution two-step time-to-digital converter in 65 nm CMOS using pulse-train time amplifier // *2012 Symposium on VLSI Circuits (VLSIC)*. Honolulu HI, 2012: 192–193
- [7] Lee S K, Seo Y H, Suh Y, et al. A 1GHz ADPLL with a 1.25 ps minimum-resolution sub-exponent TDC in 0.18  $\mu\text{m}$  CMOS. *IEEE Journal of Solid-State Circuits*, 2010, 53(12): 482–483
- [8] Vercesi L, Liscidini A, Castello R. Two-dimensions vernier time-to-digital converter. *IEEE Journal of Solid-State Circuits*, 2010, 45(8): 1504–1512
- [9] Kim K, Yu W, Cho S. A 9 bit, 1.12 ps resolution 2.5 b/stage pipelined time-to-digital converter in 65 nm CMOS using time-register. *IEEE Journal of Solid-State Circuits*, 2013, 49(4): 1007–1016