

一种低资源数字抽取滤波器设计

钱泽斌 严伟[†]

北京大学软件与微电子学院, 北京 100871; [†]通信作者, E-mail: yanwei@ss.pku.edu.cn

摘要 设计并实现一个应用于音频 Sigma-Delta 模数转换器的低资源数字抽取滤波器。该滤波器采用多级多采样率结构, 整体带内纹波小于 0.06 dB, 带宽为 21.6 kHz, 最低工作频率为 10 MHz。通过滤波器硬件架构的设计, 有效地缩小了抽取滤波器的电路面积和功耗。芯片测试结果表明, 对 64 倍过采样率、4 阶 Sigma-Delta 调制的 1 bit 脉冲密度调制信号输出码流进行处理, 得到音频信号的信噪比达到 87.2 dB, 在 SMIC 0.13 μm 工艺下, 数字部分的面积约为 0.146 mm^2 。与同类型抽取滤波器相比, 面积减小 58%, 功耗减少 60% 以上。

关键词 抽取滤波器; Sigma-Delta; 小面积; 低功耗

中图分类号 TN492

Low Resource Consumption Design of Digital Decimation Filter

QIAN Zebin, YAN Wei[†]

School of Software & Microelectronics, Peking University, Beijing 100871; [†] Corresponding author, E-mail: yanwei@ss.pku.edu.cn

Abstract A digital decimation filter applied to audio Sigma-Delta ADC is designed. The filter adopts the design of multi-stage and multi-rate down sampling structure, in-band ripple of decimation filter is less than 0.06 dB overall, bandwidth is 21.6 kHz, minimum working frequency is 10 MHz. Through the innovation of filter hardware architecture design, it effectively reduces the filter circuit area and power consumption. Chip test results show that the SNR is above 87.2 dB when processing PDM signals is at the down sampling rate of 64, 4 order Sigma-Delta modulation. Designed in SMIC's 0.13 μm CMOS process, the decimation filter area is 0.146 mm^2 . Filter area is reduced by 58%, and power consumption is reduced by over 60% compared with the same type decimation filters.

Key words decimation filter; Sigma-Delta; small area; low power consumption

过采样 Sigma-Delta 模数转换器常用于音频信号的高精度模数转换。抽取滤波器是过采样 Sigma-Delta 模数转换器的重要组成部分, 其作用是对调制器输出的脉冲密度调制信号进行解码处理, 滤除基带信号带外噪声, 降低采样率至奈奎斯特频率, 并从调制器输出的高速低分辨率的数字信号中重构出低速高分辨率的数字信号。该滤波器设计的优劣直接影响最后得到的音频数据的性能。

为了实现高效低资源抽取滤波, Crochiere 等^[1]提出一种级联积分梳状滤波器(cascade integrator comb filter, CIC), 但是通带滚降过大。Hogenauer 等^[2]提出多级滤波器结构, 通过 FIR 滤波器补偿

CIC 滤波器的通带滚降。为进一步提高抽取滤波器的通带和阻带性能, 马绍宇等^[3]引入半带滤波器滤除带外噪声, 但 FIR 滤波器与半带滤波器的阶数较高, 也没有滤除 Sigma-Delta 调制固有的直流增益。由于 FIR 滤波器与半带滤波器所需乘法器数量大, 导致芯片数字电路面积大。本文基于抽取滤波器多级多采样率结构, 对抽取滤波器进行理论分析, 同时提出一种新型的小面积、低功耗的抽取滤波器硬件架构。

1 解码滤波器整体结构

处理过采样脉冲密度调制信号时, 第一级通常

国家重点研发计划(2016YFC0801001)资助

收稿日期: 2016-12-29; 修回日期: 2017-03-07; 网络出版日期: 2017-09-27

采用梳状滤波器,其结构简单,不需要进行乘法运算,高降采样比的特性有利于减少后续滤波器的计算量。由于梳状滤波器具有带内高频衰减特性,第 2 级采用补偿滤波器补偿梳状滤波器通带滚降^[4],同时增加降 2 倍频信号抽取功能,降低梳状滤波器和后续滤波器的整体降采样需求。第 3 级采用半带滤波器滤除带外噪声,并将采样频率降低至奈奎斯特频率。与普通 FIR 滤波器相比,它有一半系数为 0,能减少一半的运算量。

本文采用 64 倍降采样频率设计,将 CIC 梳状滤波器的降采样倍数设置为 16 倍,整个滤波器降采样模式设定为 16×2×2 模式。因 Sigma-Delta 调制器输出的信号具有 1~3 dB 直流偏量,本文增加了去直流滤波器,在第 4 级滤除直流增益。抽取滤波器结构如图 1 所示。

1.1 梳状滤波器

梳状滤波器有阶数、降采样倍数和差分因子 3 个可调参数。本文中 CIC 梳状滤波器的输出频率为奈奎斯特频率的 4 倍,即降采样率设为 16 倍。若降采样率太大,会缩小主瓣宽度,增加带内衰减,不利于减少第 2 级补偿滤波器的阶数。若降采样率太小,需增加后续滤波器个数,增大面积和功耗。增大差分因子会降低旁瓣高度,增加带内衰减不利于进行频率补偿^[5]。根据以上分析,确定本文的 CIC 梳状滤波器的结构为级联阶数为 5、降采样率为 16,差分因子为 1。通过 Matlab 仿真,得到梳状滤波器的幅频响应特性,如图 2 所示。

5 阶梳状滤波由 5 个加法器、1 个抽取器和 5 个减法器级联组成。减法器级联在抽取器后,采样率为抽取前的 1/16。本文将 5 个级联减法器部分设计为时分复用单个减法器结构,再采用触发器隔离的流水线形式,与积分器、抽取器进行级联运算。虽然增加了部分控制逻辑面积,但与所减少的减法器面积相比十分微小。

1.2 补偿滤波器与半带滤波器

从图 2 可知,梳状滤波器通带内会产生衰减,在通带边缘处的衰减滚降值为-2.525453 dB。对于

本文应用的音频信号,通带纹波须小于 0.06 dB,平均分配给 4 个滤波器,每级滤波器通带纹波不能超过 0.015 dB。在梳状滤波器后级,通过 FIR 补偿滤波器来补偿梳状滤波器通带滚降。

补偿前后的 CIC 梳状滤波器通带幅频响应特性如图 3 所示。可以看出,补偿滤波器在通带内有升幅,在一定程度上补偿了 CIC 梳状滤波器的通带滚降。经补偿后的梳状滤波器带内纹波只有 0.0085 dB,减少为补偿前滤波器通带滚降(2.525453 dB)的 0.34%,满足设计要求。

半带滤波器是偶数项系数为 0 的特殊 FIR 滤波器,它在第 3 级滤除带外噪声,并将采样频率降低至奈奎斯特频率。 N 阶半带滤波器的实际非重复非零系数个数仅为 $N/4+1$,乘法运算量相比同阶 FIR 滤波器减少 $1/2$ ^[6]。本文设计的补偿滤波器与半带滤波器的阶数分别为 28 与 95,采用系数对称形式的 FIR 滤波器结构^[7],补偿滤波器与半带滤波器的幅频响应如图 4 所示。

对 k 阶 FIR 滤波器,每次滤波运算需存储 $k-1$ 个历史输入值,需进行 k 次乘法运算,乘法器与历史输入值寄存器占滤波器面积比例较大。为缩减面积,一方面采用时分复用乘法器的方式,使单个通道复用同一个乘法器,最大限度地降低乘法器数量;另一方面,将滤波器历史输入值存放在基于工艺库生成的 SRAM 中。因为一般构成 1 bit SRAM 只需 6 个 CMOS 管,构成寄存器最少需 16 个 CMOS 管,使用 SRAM 代替寄存器进行数据存储,在芯片面积上具有极大优势,但代价是读取速率降低。历史值在 SRAM 中存放与读写方式如图 5 所示,从上到下地址依次递增。

从图 5 可以看出,输入历史值采用首尾相接、循环存放的形式进行读取设计,在进行单次滤波运算时,从起始地址(start address)开始,每个时钟周期按照地址递增顺序读取历史值,送往乘法器与滤波器系数相乘(图 5(a))。在本次滤波运算结束时,将最新输入值 X 写入最早历史值 $X(n-k+1)$ 位置将其覆盖,并将起始地址值减 1,指向最新写入数据的



图 1 抽取滤波器整体结构
Fig. 1 Diagram of the Decimation Filter

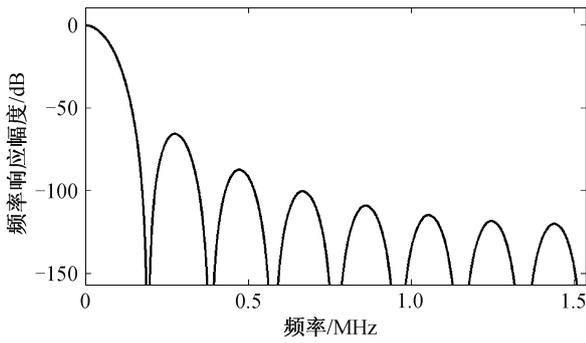


图 2 CIC 梳状滤波器幅频响应
Fig. 2 Frequency response of 5-level CIC filter

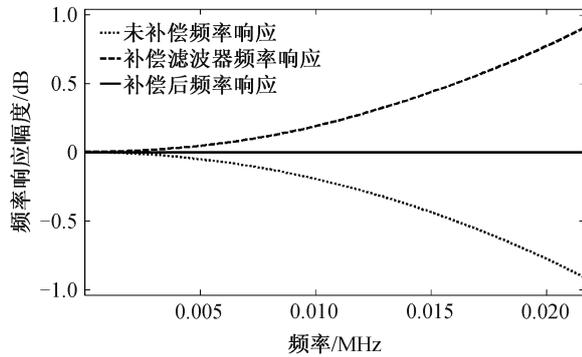


图 3 补偿前后的 CIC 梳状滤波器通带幅频响应比较
Fig. 3 Comparison of CIC filter in-band response before and after compensation

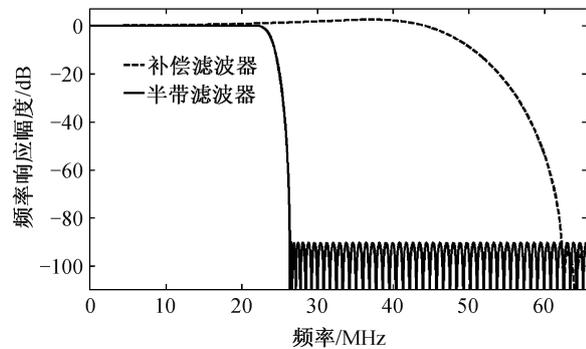


图 4 补偿滤波器与半带滤波器幅频响应
Fig. 4 Frequency response of compensation filter and half-band filter

地址(图 5(b))。下一次滤波运算从最新的起始地址开始读取历史值(图 5(c))。采用这种方法进行滤波器设计, SRAM 读取速度与乘法器的复用时序紧密耦合, 避免了 SRAM 读取速度慢的劣势, 最大限度地减少了寄存器使用量, 并且每次滤波运算对历史值刷新只需写入一次数据, 降低了动态功耗。由于半带滤波器偶数项系数为 0, 无需读取偶数项历史值, 所以将读取历史输入值地址递增值改为 2, 即

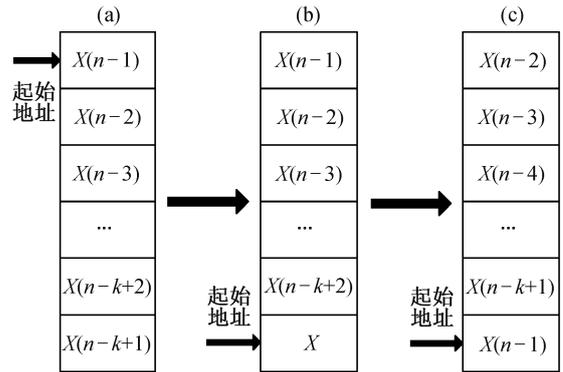


图 5 历史值在 SRAM 中的存放与读写方式
Fig. 5 Read and write sequence of historical values stored in SRAM

可适应半带滤波器的读取时序, 避免偶数项读取操作。

由于补偿滤波器与半带滤波器都需要进行降 2 倍频率的抽取, 所以滤波器每进行两次滤波运算就会产生一个无效输出。本文充分利用首尾循环结构存储历史值的优势, 将滤波器连续两次数据输入划分为计算周期和空闲周期。在计算周期, 滤波器只调用乘法器进行滤波运算, 在空闲周期, 滤波器舍弃这次输入数据的滤波运算, 只进行历史值写回与上个周期运算结果输出的操作。在空闲周期, 只需一个时钟周期即可完成历史值写入的动作, 无需占用乘法器。这样设计的好处是, 在不影响功能的条件下, 滤波器减少了一半的滤波运算量, 使电路开关活动概率因子降低一半, 并且补偿滤波器、半带滤波器与高通滤波器可以在此基础上进行耦合设计, 实现方式如图 6 所示。T1-T4 和 T5-T8 分别为两次完整滤波输出的循环。

舍弃一次无用滤波运算后, 在补偿滤波器进行历史值写入的 T2 空闲周期, 半带滤波器占用乘法器进行滤波运算。在补偿滤波器占用乘法器 T3 周期, 半带滤波器可以进行历史值的写入与数据输出操作。在补偿滤波器与半带滤波器都为空闲周期 T4 时, 可进行 IIR 运算。因为 IIR 滤波器阶数小, 在 T4 周期乘法器实际占用时间很小, 若后续需要扩展增加滤波器, 可放到 T4 周期进行运算。从理论上讲, 3 个滤波器的耦合设计将抽取滤波器对系统时钟(即电路最小工作频率)限制在最高阶滤波器复用乘法器完成一次完整运算所需的最小频率。若不采用耦合设计, 所需的系统时钟需同时适用于 3 个滤波器的复用时序。本文中 3 个滤波器的阶数分别

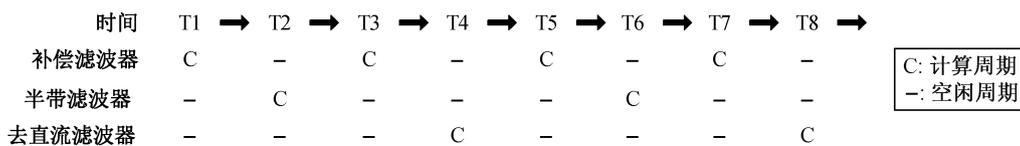


图 6 滤波器操作时序
Fig. 6 Filter sequential operating diagram

为 28, 95 和 1, 采用耦合设计后所需系统时钟下降了 23%。电路开关活动因子与工作频率同时降低, 理论上使电路功耗降低 62%, 并且滤波运算与数据输出在不同周期使数据有充分的稳定时间, 有利于消除后级模块在采样时产生亚稳态现象与错误的运算结果。

1.3 高通滤波器

Sigma-Delta 调制器具有一定的直流偏量, 为避免高频噪声的引入, 本文使用 IIR 高通滤波器滤除直流偏量。考虑到信号通过半带滤波器后采样频率已降低到奈奎斯特频率, 可将高通滤波器放在最后一级减少滤波运算量, IIR 高通滤波器幅频响应如图 7 所示。抽取滤波器的整体幅频响应如图 8 所示, 实现了 64 倍降采样, 通带纹波小于 0.06 dB, 阻带衰减高于 90 dB, 满足设计要求。

2 芯片验证与结果分析

设计的数字抽取滤波器为项目芯片中部分数字电路, 芯片采用 SMIC 0.13 μm CMOS 工艺制造。抽取滤波器电路面积约为 0.146 mm^2 , 芯片面积约为 3.41 mm^2 , 芯片最终版图如图 9 所示。

测试中将 1 kHz 正弦波信号输入 Sigma-Delta ADC, 设置调制器采样率为 3.072 MHz, 滤波器输

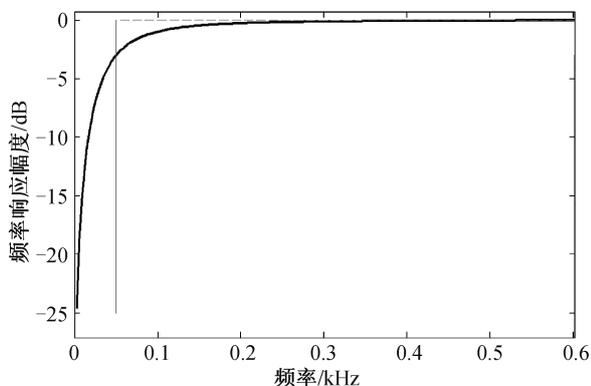


图 7 高通滤波器幅频响应
Fig. 7 Frequency response of high pass filter

出采样率为 48 kHz, 分别对 Sigma-Delta 调制器模型输出数据与滤波之后输出的数据运用 Matlab 进行频谱分析, 对比验证该解码滤波器的性能。调制器输出信号频谱图如图 10 所示, 调制器输出信号掺杂了带外噪声。抽取滤波器输出信号幅频响应如图 11 所示, 可以看出, 该解码滤波器能够有效地滤

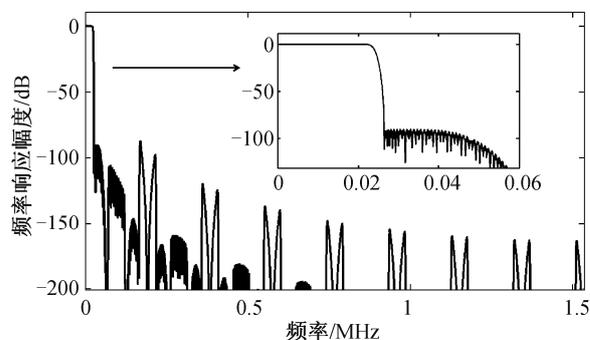


图 8 抽取滤波器整体幅频响应
Fig. 8 Frequency response of decimation filter

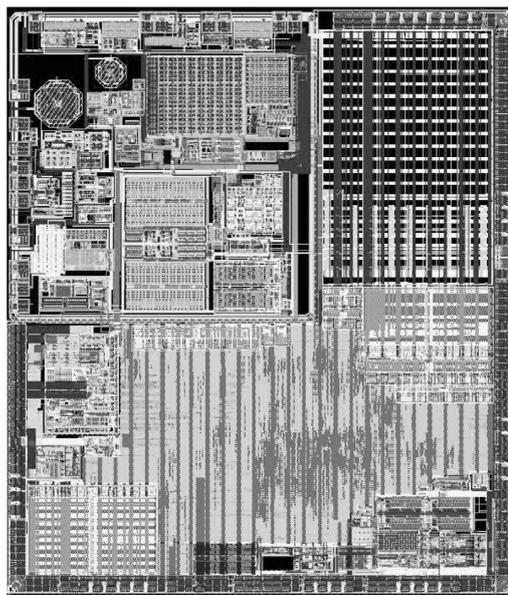


图 9 芯片版图
Fig. 9 Chip layout

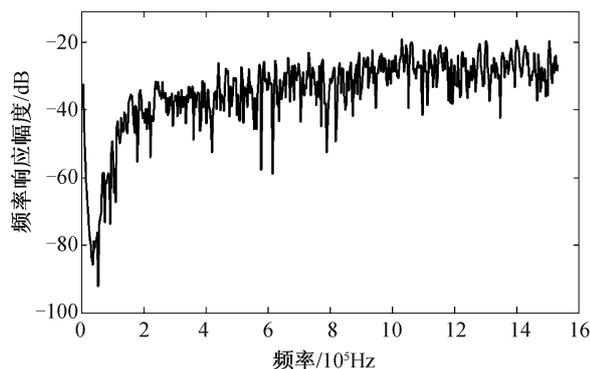


图 10 调制器输出信号幅频响应

Fig. 10 Frequency response of signals output from modulator

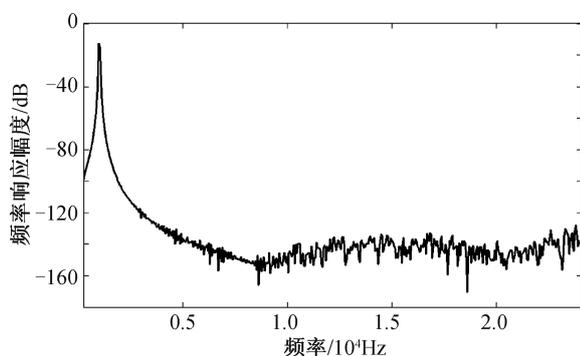


图 11 抽取滤波器输出信号幅频响应

Fig. 11 Frequency response of decimation filter

表 1 几种解码器的主要性能对比

Table 1 Performance comparison of several decoders

文献	输出精度/Bit	带宽/kHz	工艺/ μm
文献[8]	16	—	TSMC 0.18
文献[3]	18	21.77	SMIC 0.18
文献[9]	16	20	SMIC 0.13
本文	16	21.6	SMIC 0.13

文献	通道数	面积/ mm^2	信噪比/dB	功耗/mW
文献[8]	1	1.44	88.2	—
文献[3]	1	2.1	107	—
文献[9]	2	0.354	90	—
本文	2	0.146	87.2	1.73

除 Sigma-Delta 调制器输出信号的带外噪声, 输出数据的信噪比达到 87.2 dB。

表 1 列出几种抽取滤波器的性能参数, 可以看出, 在相同工艺与类似性能参数时, 本文提出的抽取滤波器设计方法能有效地降低芯片面积和功耗。与文献[9]相比, 电路面积减少 58%, 功耗理论上可降低 60%以上。

3 结论

本文采用 SMIC 0.13 μm 工艺实现了一种用于音频 Sigma-Delta 模数转换器的抽取滤波器。通过特殊的历史值存放方式以及适用于补偿滤波器、半带滤波器和去直流滤波器的耦合设计方法, 设计了一种小面积、低功耗的抽取滤波器硬件架构, 该架构能最大限度地复用乘法器, 减少滤波器运算次数, 减少寄存器数量和电路翻转次数。芯片测试表明, 能有效地降低芯片的面积与功耗。整个数字电路采用同步设计与流水线设计的方法, 可移植性强, 是一种小面积低功耗抽取滤波器的新型实现方式。

参考文献

- [1] Crochiere R E, Rabiner L R. Multirate digital signal processing: Prentice-Hall, Inc. Englewood Cliffs, New Jersey 07362, 1983, 411 pp. ISBN 0-13-605162-6. Signal Processing, 1983, 5(5): 469-470
- [2] Hogenauer E. An economical class of digital filters for decimation and interpolation. IEEE Transactions on Acoustics Speech & Signal Processing, 1981, 29(2): 155-162
- [3] 马绍宇, 韩雁, 蔡友. Σ - Δ ADC 中数字抽取滤波器的多级实现. 天津大学学报(自然科学与工程技术版), 2007, 40(12): 1421-1425
- [4] Ren S, Siferd R, Blumgold R, et al. Hardware efficient FIR compensation filter for delta sigma modulator analog to digital converters // Midwest Symposium on Circuits and Systems. Covington, KY, 2005: 1514-1517
- [5] Pandu S. Design and VLSI implementation of a decimation filter for hearing aid applications [D]. Rourkela: National Institute of Technology, 2007
- [6] Goodman D, Carey M. Nine digital filters for decimation and interpolation. IEEE Transactions on Acoustics, Speech, and Signal Processing. 1977, 25(2): 121-126
- [7] Lu W S, Hinamoto T. Design of FIR filters with discrete coefficients via polynomial programming: towards the global solution // IEEE International Symposium on Circuits & Systems. New Orleans, 2007: 2048-2051
- [8] 余向东. Sigma-Delta 模数转换器中数字抽取滤波器的设计与 ASIC 实现[D]. 西安: 西安电子科技大学, 2014
- [9] 梁向明. Sigma-Delta A/D 转换器抽取滤波器设计 [D]. 上海: 复旦大学, 2011