

# 低噪声放大器通过匹配网络的 ESD 保护设计

严伟<sup>1,2</sup> 王雨辰<sup>1,3</sup> 王振宇<sup>1</sup> 时广轶<sup>1,4,†</sup>

1. 北京大学软件与微电子学院, 北京 100871; 2. 上海北京大学微电子研究院(SHRIME), 上海 201203; 3. 中国科学院上海高等研究院, 上海 201210; 4. 北京大学深圳研究生院, 深圳 518055; † 通信作者, E-mail: shiguangyi@ss.pku.edu.cn

**摘要** 将 GaAs PHEMT 工艺设计应用于北斗卫星导航的 LNA 电路, 工作频率为 2.45 GHz, 噪声系数为 0.55 dB, 并在输入输出的匹配网络上添加 ESD 保护。通过使用 ADS2011 进行仿真, 对比分析有 ESD 保护的电路与没有 ESD 保护的电路, 得到以下结论: 虽然考虑 ESD 保护使电路的性能有一些下降, 如增益从 16 dB 下降到 15 dB, 但噪声系数几乎没有变化; 加入 ESD 保护后, 可以极大地提高电路整体的性能和鲁棒性, 使电路能够很好地抵抗静电干扰。

**关键词** 静电泄漏; 低噪声放大器; 阻抗匹配; 鲁棒性

**中图分类号** TN722; TN03

## Design of ESD Protection for Low Noise Amplifier through Matching Network

YAN Wei<sup>1,2</sup>, WANG Yuchen<sup>1,3</sup>, WANG Zhenyu<sup>1</sup>, SHI Guangyi<sup>1,4,†</sup>

1. School of Software and Microelectronics, Peking University, Beijing 100871; 2. Shanghai Research Institute of Microelectronics, Shanghai 201203; 3. Chinese Academy of Science Shanghai Advanced Research Institute, Shanghai 201210; 4. Shenzhen Graduate School of Peking University, Shenzhen 518055; † Corresponding author, E-mail: shiguangyi@ss.pku.edu.cn

**Abstract** A low noise amplifier (LNA) for Beidou navigation system was designed through the standard GaAs pHEMT technology. This circuit had the operating frequency of 2.45 GHz and noise figure of 0.55 dB. ESD protection circuit was added through the input and output matching network. Finally ADS2011 was used to simulate the design. According to the comparison of the circuit with ESD protection and that without ESD protection, the conclusion can be drawn that the circuit with ESD protection will induce some decline of the performance, such as the gain drawn from 16 dB down to 15 dB, but the noise has no change; with the ESD protection, the circuit can be greatly improved in overall performance and robustness, and the circuit has good resistance to electrostatic interference.

**Key words** ESD; LNA; matching network; robustness

在自然界中时刻存在着静电, 无论是人体、空气还有一些导电物体都存在一些电荷, 芯片与这些物体接触时难免受到静电的威胁。基于对实际生产情况和成本的考虑, 目前对集成电路的 ESD 保护都是在芯片内部进行, 如图 1 所示。一些研究指出, 通过在输入和输出引脚加上一些大电容, 可以在芯片内实现很好的 ESD 保护<sup>[1-4]</sup>, 同时在电源与地之

间合理加入一些二极管, 可以使芯片承受高达 8 kV 的 ESD 冲击<sup>[5]</sup>。

目前的低噪声放大器(LNA)大部分是采用 GaAs 工艺, 当承受超过 1.5~1.7 V 的 ESD 冲击时就会失效<sup>[6]</sup>。通过在输入输出引脚进行 ESD 保护, 可以极大地提高芯片的稳定性与可靠性。文献[7]对芯片整体进行 ESD 保护, 但引入了 0.28 dB 的

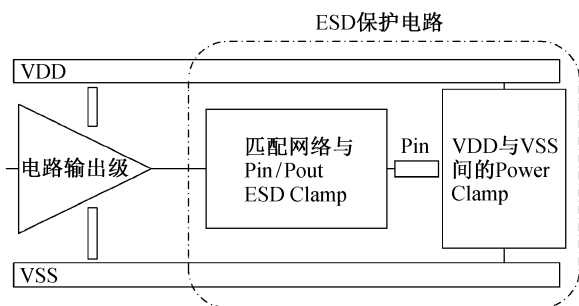


图 1 ESD 保护电路

Fig. 1 Circuit with ESD protection

噪声系数上升;文献[8]进行的 ESD 保护虽然产生很小的寄生电容,但也引入了 0.2 dB 的噪声系数的上升。通过匹配网络来实现 ESD 保护,能够尽可能降低保护电路对本体电路的影响,这在部分功率放大器的设计上得到很好的应用<sup>[9-10]</sup>。

本文设计了一个工作频率为 2.45 GHz 的低噪声放大器(LNA),并基于文献[9]和[10]提出的方法,通过在匹配网络中加上适当的 ESD 保护电路,使相应的电路既能满足性能要求,同时又增强了鲁棒性,可以承受更高的干扰。加入 ESD 保护电路的 LNA 与没有 ESD 保护电路的 LNA 相比,增益约下降 1 dB,噪声系数几乎没有上升,仍然为 0.55 dB。

### 1 LNA 的设计与仿真

低噪声放大器(LNA)的主要指标包括:噪声系数、放大增益、输入输出驻波比、反射系数和动态范围等。

本实例为应用在北斗卫星接收机中的低噪声放

大器,工作频率为 2.45 GHz,噪声系数约为 0.55 dB,功率放大增益约为 16 dB,采用 GaAs 工艺的 PHEMT 管,其设计的具体步骤如下:对 PHEMT 管进行直流分析,偏置电路设计,稳定性分析,输入匹配网络的设计,输出匹配网络的设计以及匹配网络的实现等。

对于 PHEMT 的直流分析,采用 ADS2011 软件内部的 FET Cuve Tracer 来实现。根据芯片的 datasheet,可以得到噪声与  $V_{ds}$  和  $I_{ds}$  的关系,从而确定晶体管的静态工作点。在 2.45 GHz,当  $V_{ds}=3\text{ V}$  且  $I_{ds}=25\text{ mA}$  时,  $F_{min}$  接近最小值,增益约为 16 dB。

对于偏置电路的设计,采用 ADS2011 的 DA\_FETBias 控件,按照上一步确定的  $V_{ds}$  和  $I_{ds}$ ,可以确定出偏置网络的类型和偏置电阻的阻值。综合仿真后,可以生成偏置网络的子电路和电路中的电流值。为了保证系统的稳定性,在 PHEMT 的两个源极增加两个小电感作为负反馈,得到的电路图如图 2 所示。

实际电路的分析要考虑 S 参数,对于稳定性的分析要保证电路的 K 值大于 1。在 ADS 中建立如图 2 所示电路,并仿真计算出该电路的最大增益和稳定值。图 3 中 m1 标注频率为 2.45 G 时电路的最大增益,图 4 中 m2 标注频率为 2.45 G 时电路的稳定性,图 5 中 m3 标注频率为 2.45 G 时电路的噪声系数。

关于匹配电路的设计,可以使用微带线进行阻抗匹配。先测量该电路在频率为 2.45 GHz 时的输入阻抗,为  $19.389+j2.894$ ,故选取微带线进行输

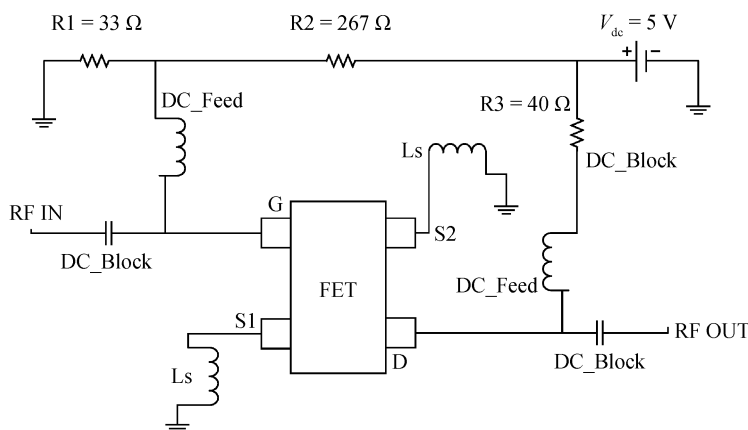


图 2 带有负反馈后的电路图

Fig. 2 LNA circuit with feedback

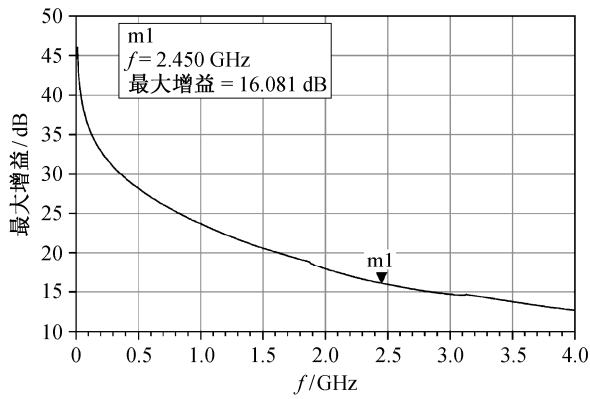


图 3 带有负反馈后的 LNA 电路增益  
Fig. 3 Gain of the LNA circuit with feedback

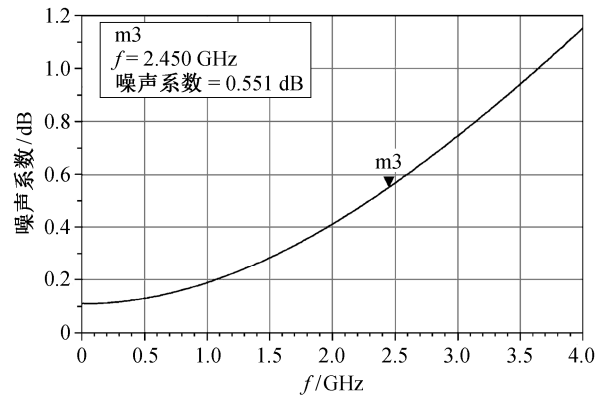


图 5 带有负反馈后的 LNA 电路噪声系数  
Fig. 5 Noise figure of LNA circuit with feedback

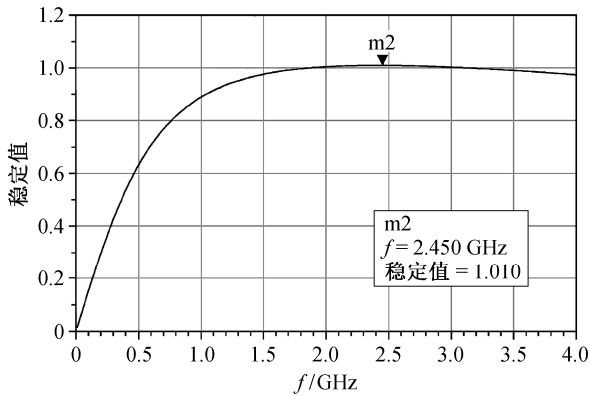


图 4 带有负反馈后的 LNA 电路稳定性  
Fig. 4 Stability of the LNA circuit with feedback

入端的阻抗匹配。虽然对输出端也可以采用这种匹配电路的方法,但考虑到输出输入的相互干扰,故对输出端采用动态优化的方法,采用长度可变的微带线进行阻抗匹配,使输入输出阻抗都能满足要求。

设计好的最终 LNA 电路如图 6 所示,在 2.45 GHz 时噪声系数为 0.55 dB,增益为 16 dB,输入输出阻抗为 50Ω, S 参数的仿真结果如图 7 所示,从左上起分别为 S11, S22, S21 和 S12。

## 2 LNA 的 ESD 保护设计与防护

当今 ESD 的全芯片防护主要采用两种策略,一种是基于焊盘 PAD 的防护策略,另外一种是基于轨的防护策略。基于 PAD 的 ESD 防护主要采

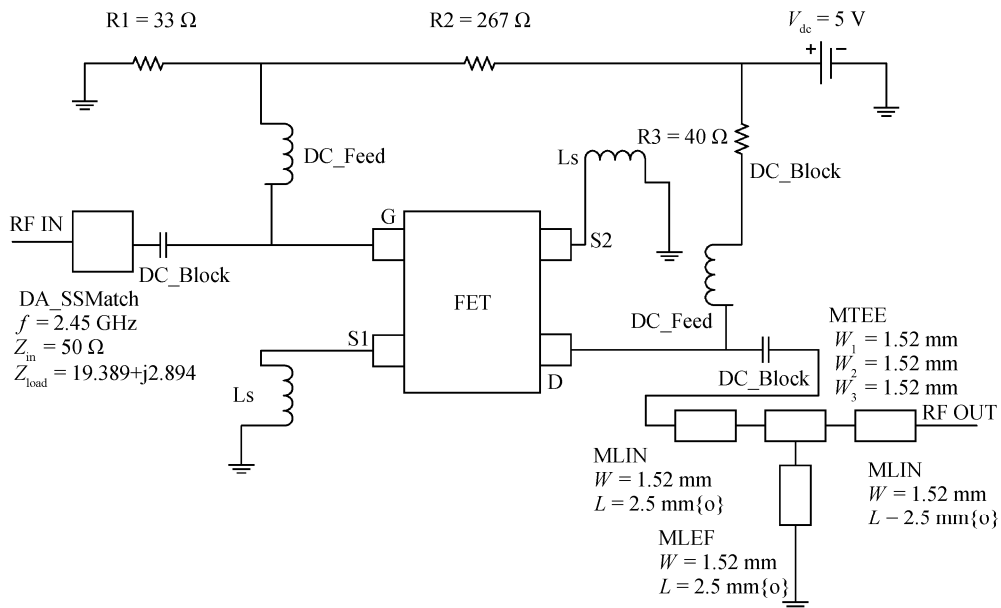


图 6 完整的 LNA 电路  
Fig. 6 Schematic of LNA circuit

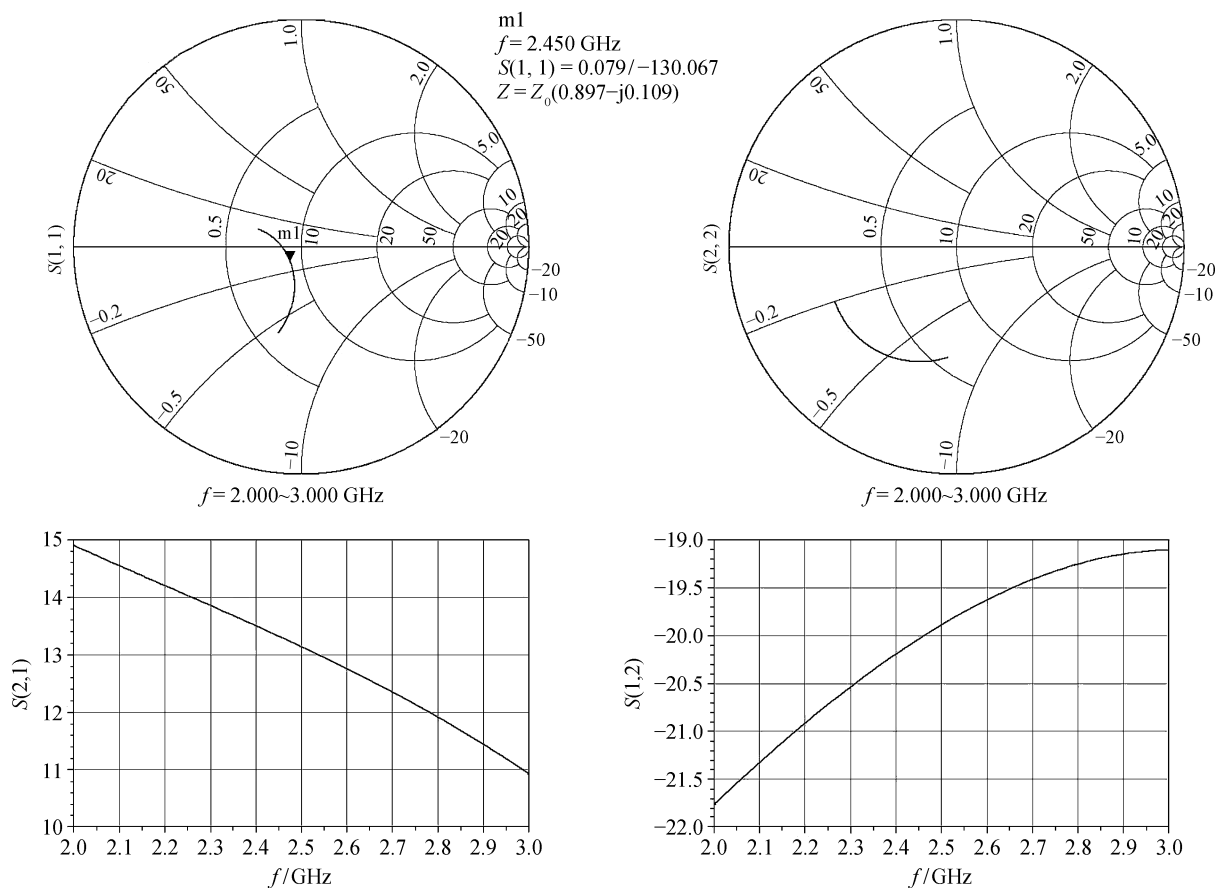


图 7 S 参数仿真结果  
Fig. 7 S-Parameter of the LNA circuit

用具有回滞特性的器件作为 I/O PAD 上的防护器件(例如 GGNMOS 或者 SCR 等)。当有 ESD 事件发生时, I/O PAD 上的电压升高, 当升高的程度达到该 ESD 防护器件的触发电压时, 该器件被触发, 提供 ESD 防护, I/O 上的电压降到维持电压的水平, 电流从该 ESD 器件直接流到地上。当 ESD 事件结束时, 由于维持电压高于电源电压, 该器件将关断, 保持高阻状态, 不会影响受保护的芯片正常工作。所以基于 PAD 的防护策略, 其设计的关键在于一个能满足该芯片 ESD 防护窗口的器件, 并提供足够的 ESD 防护水平, 且面积不能太大, 以免引入的寄生效应影响内部电路的正常工作。反偏二极管由于具有很小的正偏电压和很大的反偏电压, 所以是最常用的 ESD 保护器件。为了便于计算, 可以把二极管等效为电容和电阻的串联, 在设计中, 用一些电抗元件(如电容和电感)来起到类似二极管的作用。

对于一般的 PHEMT 晶体管, 其栅极和漏极最

容易被 ESD 击穿, 因为较大的静电电流会使栅氧化层被击穿, 还会使其 P 衬底和 N 扩散区组成的 PN 结反偏。为了解决漏极击穿, 可以使用如图 8 所示的电路, 在漏极与地之间, 即输出端与地之间并联一个适当电感, 使得发生 ESD 时能够释放大电流。由于电感上电流变化的连续性, 电感还会产

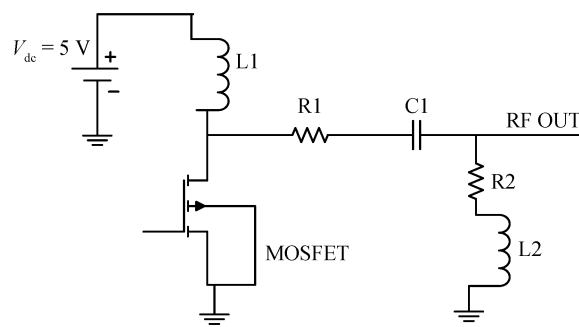


图 8 单管的 ESD 保护  
Fig. 8 Single PHEMT with ESD protection

生一个与 ESD 方向相反的电压，可以把电压箝位在安全电压水平，从而进一步抵消 ESD 的影响。同时在输出端串联一个电容，可以有效保护源漏击穿。根据国际电工委员会 IEC1000-4-2 模型规范，一个 1500 pF 的电容可以最大充电至 1.5 kV，该值低于 IC 的 ESD 额定值。对电阻的保护与对电容的保护相似，电阻一般串联在输出端与漏极之间，该电阻能够限制峰值电流，有助于消耗部分瞬态功率。同理，对于栅极击穿的保护，可以在输入端与地之间并联一个适当电感，同时在输入端与栅之间串联一个电容。

在 LNA 电路中，ESD 的设计一般选取基于 PAD 的防护策略，即在输入输出端口加上 ESD 保护电路。目前大部分的 LNA 是使用一个或两个 PHEMT 管，故可以采用图 8 所示的电感、电容、电阻进行 LNA 的 ESD 保护。同时在 LNA 的设计中需要进行阻抗匹配，阻抗匹配一般采用 L 型匹配网络，即在阻抗匹配时也需要采用电感、电容，故在选取相应的电感、电容时，可以优先选取用于 ESD 保护的电感、电容和电阻值，再根据阻抗匹配原理修改相应的电感、电容值。由于输入端和输出端对于网络结构的变化非常敏感，为了满足匹配和 ESD 保护双重功能，需要使用低本征噪声和高 ESD 放电效率的保护器件。

图 8 的结构用于与输入输出匹配网络进行融合，并作为匹配网络的一部分。对于此电路进行 L 匹配，把 ESD 保护电路的电阻和电容值包括在 L 型网络中，输入输出的匹配网络如图 9 和 10 所示。其中的匹配网络由电容和电感组成，MIM 电容

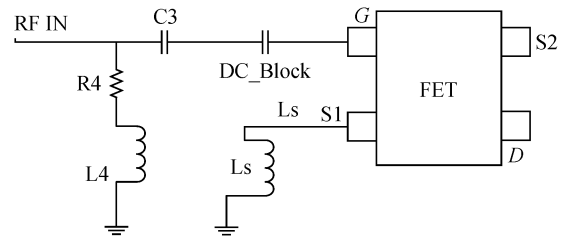


图 9 考虑 ESD 的 LNA 输入匹配

Fig. 9 LNA input matching network with ESD protection

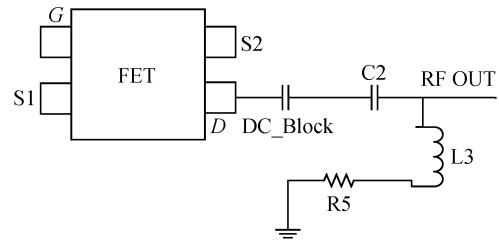


图 10 考虑 ESD 的 LNA 输出匹配

Fig. 10 LNA output matching network with ESD protection

具有很小的寄生效应，也可以使 LNA 具有更高的击穿电压，匹配网络的设计结合了阻抗匹配和 ESD 保护的功能。阻抗匹配需要适当的电容和电感，ESD 保护需要电容有足够高的击穿电压，同时需要电感能够释放足够大的 ESD 电流。由于输出端存在噪声耦合，会使 ESD 保护在芯片正常工作时就会发生，所以要提高 ESD 保护端的触发电流，应在输入端和输出端串联一个电阻。

在 ADS2011 中绘制所设计的 LNA 电路，根据要求设定相应的输入端与输出端的电感、电容和电阻值，插入 DC、VSWR、S 参数、Stab、Zin 和

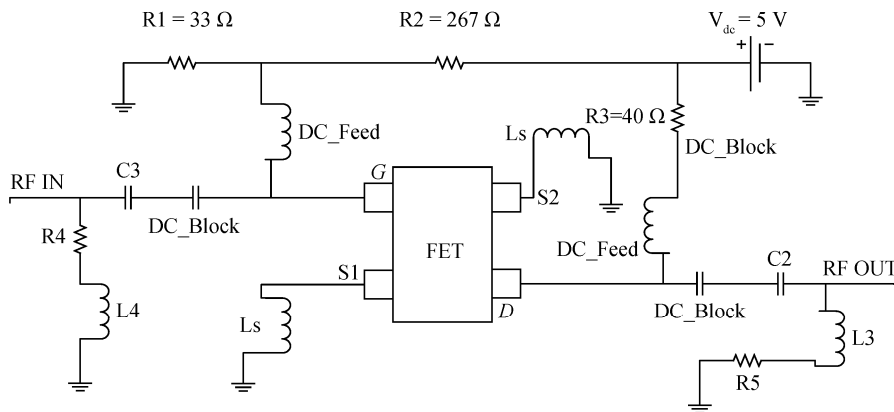


图 11 考虑 ESD 的 LNA 电路

Fig. 11 Schematic of the LNA circuit with ESD protection

Zout 等仿真控件, 对 S11 和 S22 进行优化, 使电感和电容值可变, 最终的电路如图 11 所示。这个电路中的电容是 ESD 保护中的电容与匹配网络电容的等效电容, 电感是 ESD 保护中的电感与匹配网络电感的等效电感。

将此电路在 0~4 GHz 的频率下进行仿真, 可以得到如图 12~14 的仿真结果, 与之前的电路对比可得: 在优先考虑 ESD 保护情况下, 增益略有下降, 为 15 dB, 稳定系数依旧保持大于 1, 但噪声系数从 0.551 dB 降低到 0.548 dB。因此使用电感、电容和电阻的匹配网络既起到 ESD 保护作用, 同时也起到噪声匹配的作用。

使用 ADS 中的 S 参数扫描控件, 可以得到 S 参数仿真结果, 如图 15 所示, 从左上起分别为 S11, S22, S21 和 S12。从图 15 可知在 2.45 GHz 时, 输入阻抗可以匹配到 50 Ω, 故此网络也起到很好的

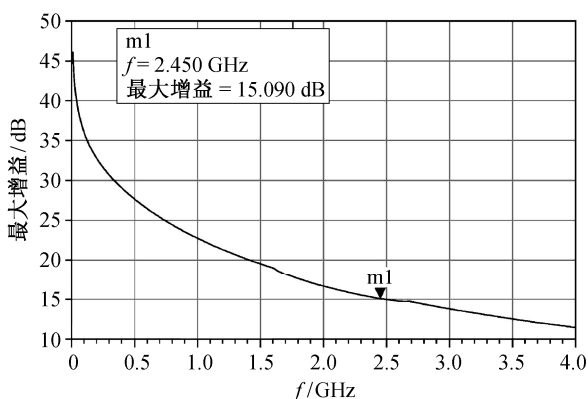


图 12 考虑 ESD 的 LNA 电路增益  
Fig. 12 Gain of the LNA circuit with ESD protection

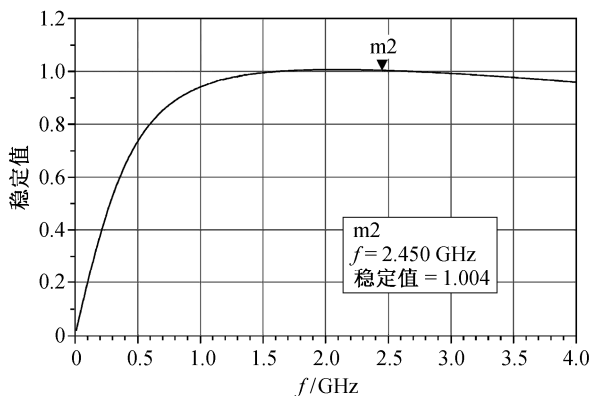


图 13 考虑 ESD 的 LNA 电路稳定性  
Fig. 13 Stability of the LNA circuit with ESD protection

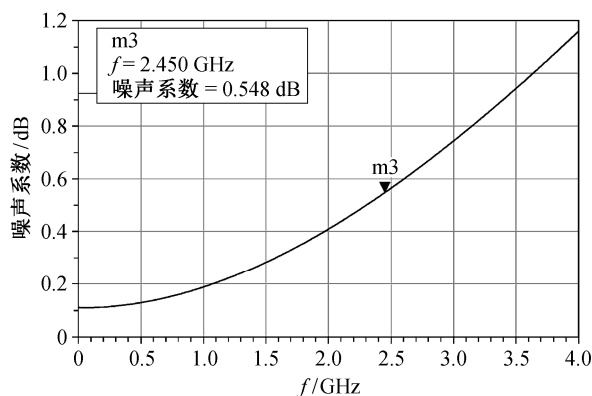


图 14 考虑 ESD 的 LNA 电路噪声系数  
Fig. 14 Noise Figure of the LNA circuit with ESD protection

表 1 一般设计的 LNA 与考虑 ESD 的 LNA 电路性能比较  
Table 1 Performance comparison of the LNA with ESD protection and the LNA without ESD protection

LNA 参数	一般设计	考虑 ESD
工作频率/GHz	2.45	2.45
供电电压/V	3	3
直流电流/mA	24	23
噪声系数	0.551	0.548
增益/dB	16	15
稳定性	1.010	1.004
S11/dB	-15	-14
功耗/mW	72	69

阻抗匹配作用。综合比较一般设计的 LNA 与考虑 ESD 保护的 LNA, 性能对比如表 1 所示。

根据图 11 所示的电路图, 把其中的电感和电容替换成相应的微带线, 通过 ADS 中的 LineCal 工具计算满足相应阻抗值的微带线长度, 然后在 Cadence 工具中绘制相应的版图, 其核心是一个 PHEMT 管, 加上外围的 ESD 保护电路、阻抗匹配电路和偏置电路。本设计电路版图如图 16 所示, 其面积为 820 μm×540 μm。

### 3 结语

本文通过关于 LNA 的一般电路设计以及考虑了 ESD 保护的电路设计, 使用 ADS2011 进行仿真, 得到以下认识: 虽然考虑 ESD 保护会使得电路的性能有一些下降, 如增益从 16 dB 下降到 15 dB 等, 但电路加入 ESD 保护后可以极大地提高电路整体

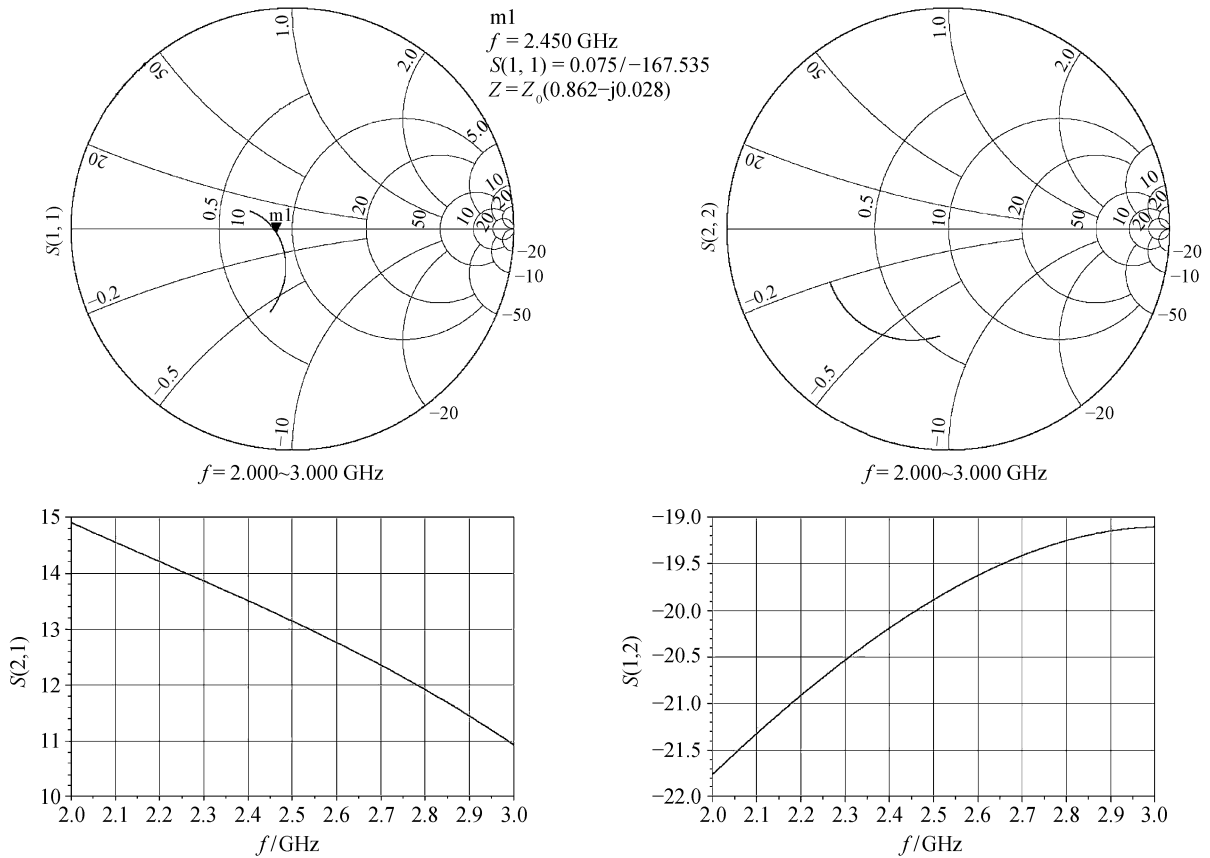


图 15 考虑 ESD 保护的 LNA 电路 S 参数仿真结果  
 Fig. 15 S-Parameter of the LNA circuit with ESD protection

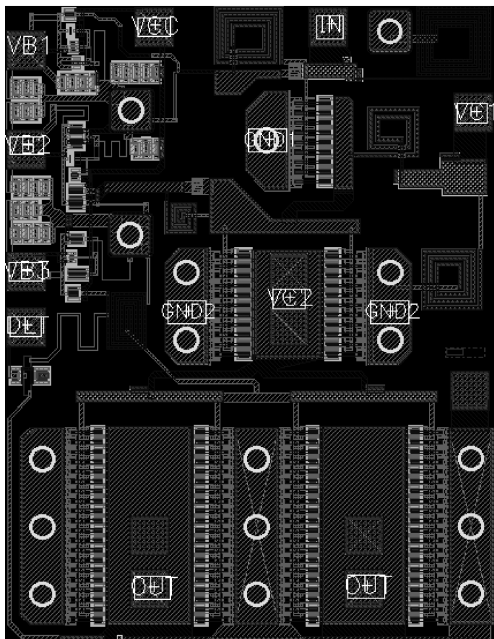


图 16 最终 LNA 版图  
 Fig. 16 Layout of the LNA circuit with ESD protection

的性能和鲁棒性，使电路能够很好地抵抗静电干扰，同时其噪声系数几乎没有发生变化，仍为 0.55 dB。本文只是通过仿真对这种 ESD 保护的电路设计进行了验证，具体实物验证需要等流片后用自动测试平台(ATE)和网络分析仪(VNA)进行验证对比，从而测试其实际的增益、噪声系数以及具体抗 ESD 电压值，也可以通过 TEM 小室法或表面扫描法进行 EMC 验证。

参考文献

[1] Wei Shouming, Qian Qinsong, Sun Weifeng, et al. The influence of the input capacitor on the ESD behavior // 2011 International Conference of Electron Devices and Solid-State Circuits. Tianjin, 2011: 1–2

[2] Wang Xin, Guan Xiaokang, Fan Siqiang, et al. ESD-protected power amplifier design in CMOS for highly

- reliable RF ICs. *IEEE Transactions on Industrial Electronics*, 2011, 58(7): 2736–2743
- [3] Hsiao Y W, Ker M D. A 5-GHz differential low-noise amplifier with high pin-to-pin ESD robustness in a 130-nm CMOS Process. *IEEE Transactions on Microwave Theory and Techniques*, 2009, 57(5): 1044–1053
- [4] Li Zhiguo, Yue Suge, Sun Yongshu. Power rail ESD circuit simulation and verification // *IEEE International Conference of Electron Devices and Solid-State Circuits*. Xi'an, 2009: 107–110
- [5] Wang X, Fan S, Qin B, et al. Full band UWB LNA with 8 kV+ ESD protection in RFCMOS // *2011 IEEE Radio and Wireless Symposium*. Phoenix, 2011: 267–270
- [6] Hwang S M, Lee K H. Comparison of ESD immunity between GaAs-based LNA and SiGe-based LNA. *IEEE Transactions on Electromagnetic Compatibility*, 2012, 54(4): 944–946
- [7] Jin H, Dong S R, Miao M, et al. Whole chip ESD protection for 2.4 GHz LNA // *2011 International Conference of Electron Devices and Solid-State Circuits*. Tianjin, 2011: 1–2
- [8] Liu Jian, Wang Xin, Zhao Hui, et al. Design and analysis of low-voltage low-parasitic ESD protection for RF ICs in CMOS. *IEEE Journal of Solid-State Circuits*, 2011, 46(5): 1100–1110
- [9] Shiu Y D, Huang B S, Ker M D. CMOS power amplifier with ESD protection design merged in matching network // *14th IEEE International Conference on Electronics, Circuit and System*. Marrakech, 2007: 825–828
- [10] Tsai S Y, Lin C Y, Chu L W, et al. Design of ESD Protection for RF CMOS power amplifier with inductor in matching network // *2012 IEEE Asia Pacific Conference on Circuit and Systems*. Kaohsiung, 2012: 467–470